

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-12838

(P2000-12838A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)IntCl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テマコード(参考)

3 0 1 B 5 F 0 4 0

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平10-174811

(22)出願日 平成10年6月22日(1998.6.22)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中嶋 一明

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F040 DA17 DC02 DC03 DC04 DC05

EC01 EC04 EC08 EC10 ED03

ED04 EE06 EF02 EF11 EK05

FA02 FA03 FA05 FA07 FA18

FA19 FB02 FB05 FC00 FC09

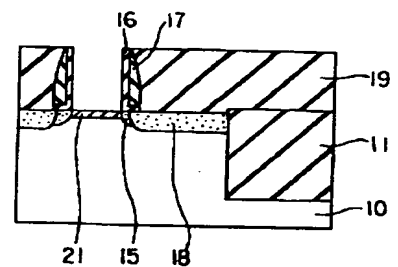
(54)【発明の名称】 M I S型トランジスタ及びその製造方法

(57)【要約】

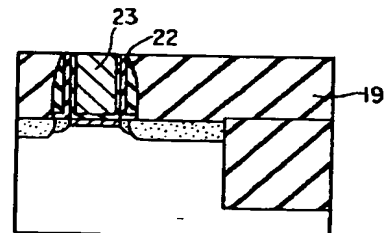
【課題】 ホットエレクトロン耐性に優れたM I S型トランジスタを得る。

【解決手段】 ソース・ドレイン領域15、18を不純物を含有したシリコンによって構成し、チャネル領域21をシリコンよりも広いエネルギーバンドギャップを有する半導体材料によって構成する。

(g)



(h)



21 GaP膜 22 ゲート絶縁膜 23 ゲート電極

1

【特許請求の範囲】

【請求項1】ソース・ドレイン領域が不純物を含有したシリコンによって構成され、チャネル領域がシリコンよりも広いエネルギーバンドギャップを有する半導体材料によって構成されていることを特徴とするMIS型トランジスタ。

【請求項2】シリコン基板に導入した不純物を熱処理によって活性化してソース・ドレイン領域を形成した後、シリコンよりも広いエネルギーバンドギャップを有する半導体材料によってチャネル領域を形成することを特徴とするMIS型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS型トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体デバイスの高集積化及び高速化に対する要求が高まりつつある。これらの要求を実現するために、素子間及び素子寸法の縮小化、微細化が進められているが、電源電圧は必ずしもスケールリングに合わせて下がってはいない。つまり、素子寸法が小さくなるに従い、内部電界強度は高くなる傾向にある。このような状況下で問題となるのは半導体デバイスの信頼性の低下であり、その代表的な例がホットエレクトロン現象による素子特性の劣化である。

【0003】ホットエレクトロンとはドレイン近傍で高いエネルギーを得た電子を指し、酸化膜の仕事関数を越えるほどのエネルギーを持つために、それらは酸化膜中を通り抜けてゲート電極へと流れる。また、ホットエレクトロンがシリコンの結晶格子に衝突すると、新たに電子-正孔対を発生し、これらがさらにアバランシェホットエレクトロンとなって酸化膜中へ注入する現象が生じる。これらホットエレクトロンは、酸化膜通過時に酸化膜中にトラップや界面準位を形成するため、素子特性の劣化を招く。

【0004】そこで、ドレイン近傍の電界集中を避けるため、チャネル/ドレイン間に不純物濃度の低い拡散層を挟む構造、いわゆるLDD構造が提案され実用化されている。しかしながら、素子寸法がさらに縮小化されるに従い、拡散層深さの浅接合化と拡散層抵抗の低抵抗化という二つの要請から、LDD構造であっても拡散層濃度が高くなり、ホットエレクトロンの問題が再び浮上してきている。

【0005】また、チャネル領域も短チャネル効果を抑制するために不純物濃度が高くなる傾向にある。しかし、キャリアの移動度は不純物濃度に反比例するため、移動度低下が現在の高速デバイスの課題となっている。このような課題に対して、チャネル領域にゲルマニウムもしくはSiGe合金を用いる検討がなされている（特開平1-241171、特開平2-249280、特開

2

平3-280437、特開平4-290444、特開平4-290445、特開平5-3322、特開平5-90517）。ゲルマニウム中のキャリアの移動度はシリコンに比べて速いため、素子動作の高速化を図ることが可能となる。

【0006】しかしながら、ゲルマニウムはそのバンドギャップがシリコンよりも狭いために、上記ホットエレクトロンの問題がシリコンよりも一層深刻になる。また、チャネル領域にエネルギーバンドギャップの小さい半導体材料を用いた場合、ソース・ドレイン領域からチャネル領域へのキャリアの注入効率を上げることになり、しいてはゲートバイアスゼロ時のリーク電流の増加、すなわちサブスレショルド特性の劣化が進む。

【0007】また、チャネル領域にシリコンを用い、ソース・ドレイン領域にシリコンよりもエネルギーバンドギャップの狭いSiGeを用いる提案もなされているが（特開平5-3322号）、この場合もチャネル領域にシリコンを用いている以上、ホットエレクトロン耐性の向上をはかることは困難である。

【0008】一方、素子寸法が縮小化されるに従い、そのばらつき制御が重要となってきている。これまではゲート電極の加工寸法を主体にそのばらつきを抑えてきたが、0.1 μ m世代ではチャネル方向の不純物分布のばらつきも無視できない。しかしながら、従来の製造方法では、チャネル領域を形成した後にシリコン基板への不純物の導入及び高温活性化によりソース・ドレイン領域を形成しており、チャネル方向の不純物分布を精度よく制御することはきわめて難しかった。

【0009】

【発明が解決しようとする課題】このように、素子寸法が縮小化、微細化されてくると、チャネル領域にシリコンやゲルマニウムを用いたMIS型トランジスタでは、ホットエレクトロン耐性を確保することが難しくなってくるという問題があった。また、素子寸法が縮小化、微細化されるに従い、チャネル方向の不純物分布のばらつきが無視できなくなってくるが、これを精度よく制御することは困難であった。

【0010】本発明は上記従来の課題に対してなされたものであり、ホットエレクトロン耐性に優れたMIS型トランジスタを提供するとともに、ホットエレクトロン耐性に優れかつチャネル領域の不純物分布の精度を高めることが可能なMIS型トランジスタの製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明に係るMIS型トランジスタは、ソース・ドレイン領域が不純物を含有したシリコンによって構成され、チャネル領域がシリコンよりも広いエネルギーバンドギャップを有する半導体材料によって構成されていることを特徴とする（請求項1）。

50

3

【0012】本発明によれば、チャネル領域をシリコンよりも広いエネルギーバンドギャップを有する半導体材料によって構成することにより、電子-正孔対生成に要するエネルギーが引き上げられ、アバランシェホットエレクトロンの発生を抑制することができる。また、ソース領域からチャネル領域へ注入される電子（或いは正孔）に対し、伝導帯側（或いは価電子帯側）に従来よりも高いエネルギー障壁が存在するため、ゲートバイアスゼロ時に熱励起だけでは電子や正孔はその障壁を越えることができず、リーク電流が低減されサブスレショルド特性を向上させることができる。

【0013】また、本発明に係るMIS型トランジスタの製造方法は、シリコン基板に導入した不純物を熱処理によって活性化してソース・ドレイン領域を形成した後、シリコンよりも広いエネルギーバンドギャップを有する半導体材料によってチャネル領域を形成することを特徴とする（請求項2）。

【0014】代表的な製造方法は、シリコン基板上のゲート形成予定域にダミーゲートを形成する工程と、このダミーゲートをマスクとしてシリコン基板内に不純物を導入する工程と、導入された不純物を熱処理によって活性化してソース・ドレイン領域を形成する工程と、ダミーゲートを除去する工程と、このダミーゲートを除去した領域下にシリコンよりも広いエネルギーバンドギャップを有する半導体材料によってチャネル領域を形成する工程と、このチャネル領域上にゲート絶縁膜を介してゲート電極を形成する工程とを有する。

【0015】本発明によれば、ホットエレクトロン耐性及びサブスレショルド特性に優れたMIS型トランジスタを製造できるとともに、ソース・ドレイン領域の不純物を活性化させるための高温加熱処理を行った後にチャネル領域を形成するため、シリコンよりも広いエネルギーバンドギャップを有する半導体材料として、例えばGaP等の低融点半導体材料をチャネル領域に採用することができ、チャネル方向の不純物分布の精度を高めることも可能となる。また、ソース・ドレイン領域に対してチャネル領域が自己整合的に形成され、その寸法はダミーゲート幅で一意的に規定されるため、高精度の寸法制御が可能となる。

【0016】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。図1(a)～図3(h)は、本実施形態に係るMIS型トランジスタの製造工程を順を追って示した工程断面図である。

【0017】まず、図1(a)に示すように、素子分離11が形成された単結晶シリコン基板10上に薄い絶縁膜12を形成する。その後、多結晶シリコン膜13を堆積し、さらにその上にCVD法によりシリコン窒化膜14を堆積する。

【0018】次に、図1(b)に示すように、シリコン

4

窒化膜14及び多結晶シリコン膜13を異方性エッチングすることにより、ダミーゲート電極を形成する。さらに、例えばAs⁺イオンをイオン注入し、950℃で30秒の加熱処理を施すことにより、ソース・ドレインとなる拡散層15を形成する。

【0019】次に、図1(c)に示すように、シリコン酸化膜16及びシリコン窒化膜17を順次堆積した後、シリコン窒化膜17のエッチバックを行い、電極パターンの側壁部分をシリコン窒化膜17で囲む構造にする。さらに、例えばP⁺イオンをイオン注入し、850℃で30秒の加熱処理を施すことによって、ソース・ドレインとなる拡散層18を形成する。

【0020】その後、図2(d)に示すように、層間絶縁膜19を全面に堆積し、例えば化学的機械的研磨(CMP)法によって、層間絶縁膜19をシリコン窒化膜14表面が露出するまで平坦化する。

【0021】次に、図2(e)に示すように、シリコン窒化膜14及び多結晶シリコン膜13を剥離することによってダミーゲート電極を除去し、さらにその後薄い絶縁膜12を剥離して、溝部20を形成する。

【0022】さらに、図2(f)に示すように、ダミーゲート電極を除去した溝部直下のシリコン基板10をエッチングする。その後、図3(g)に示すように、シリコン基板10をエッチング除去した領域に、チャネル領域となるIII-V族の化合物半導体としてGaP膜21を成膜する。

【0023】なお、溝底部にGaP膜を成膜する方法としては、例えば選択成長法を用いることが可能である。例えば成膜ソースガスとしてGa、P₂及びH₂（またはHCl）の混合ガスを用い、成膜温度400～600℃でGaPの成膜を行うと、シリコン酸化膜上やシリコン窒化膜上へは成膜されずにSi基板上にのみ選択成長させることが可能である。

【0024】GaP膜へのn型不純物ドーピングは、例えば、SiH₂Cl₂ガスを成膜ガス中に含ませる方法や、Siイオンをイオン注入法によって導入する方法を用いて行う。p型不純物ドーピングは、例えば、C₂H₄ガスを成膜ガス中に含ませる方法や、Cイオンをイオン注入法によってGaP膜中へ導入する方法を用いて行う。

【0025】次に、図3(h)に示すように、ゲート絶縁膜22として例えばCVD法によりTa(OC₂H₅)₅と酸素の混合ガスを用いて成膜温度400℃でTa₂O₅膜を堆積し、その後ゲート電極23として例えばスパッタ法によりAl膜を堆積する。その後、例えばCMP法によって、Al膜23及びTa₂O₅膜22を層間絶縁膜19の表面が露出するまで平坦化する。

【0026】以上の工程により、チャネル領域にGaP層が形成されたMIS型トランジスタが作製される。ここで、GaP等のエネルギーバンドギャップ及び電子親

5

和力を図5に示す。これからわかるように、GaPのエネルギーバンドギャップは2.25 eVであり、シリコンのエネルギーバンドギャップ(1.11 eV)に比べて大きい。つまり、MIS型トランジスタのチャネル領域にシリコンよりも広いエネルギーバンドギャップを有する半導体材料を用いることによって、電子-正孔対生成に要するエネルギーが引き上げられ、アバランシェホットエレクトロンの発生を抑制することが可能となる。

【0027】また、これらの値をもとにp-Si/n-GaP接合及びn-Si/p-GaP接合のエネルギーバンド図を描くと、図4に示すようになる。図中、 ϕ は電子親和力、 E_g はエネルギーバンドギャップ、 ΔE_c は伝導帯のポテンシャルエネルギー差、 ΔE_v は価電子帯のポテンシャルエネルギー差、 V は半導体中の不純物濃度で決まる拡散電位である。

【0028】例えば、nチャネルMIS型トランジスタの場合(図4(b))には、ソース・ドレイン領域がn-Si、チャネル領域がp-GaPとなる。このとき、図に示すように、ソース領域からチャネル領域へ注入される電子に対し、伝導帯側に($\Delta E_c + V_{Si} + V_{GaP}$)分だけのエネルギー障壁があるため、ゲートバイアスゼロ時に電子は熱励起程度のエネルギー(室温で0.026 eV)ではその障壁を越えることができない。よって、サブスレショルド特性を向上させることができる。pチャネルMIS型トランジスタの場合(図4(a))においても、同様の効果を得ることができる。つまり、ソース領域からチャネル領域へ注入される正孔に対し、価電子帯側の ΔE_v 分のエネルギー障壁によって正孔の流れが阻止される。

【0029】また、本実施形態の製造方法によれば、ソース・ドレイン領域に対してエネルギーバンドギャップの広い材料からなるチャネル領域を自己整合的に形成することが可能である。つまり、ダミーゲート電極をマスクとしてソース・ドレイン領域を形成した後、一旦ダミーゲート電極を除去し、先に存在したダミーゲート電極直下にチャネル領域を形成するため、チャネル領域はソース・ドレイン領域に対して自己整合的に形成されるだけでなく、その寸法はダミーゲート電極幅で一意的に規定されるため、従来に比べて高精度の寸法制御が可能となる。

【0030】また、ソース・ドレイン領域の不純物を電気的に活性化させるための高温加熱工程を経た後にチャネル領域を形成するため、GaPのように低融点の化合物半導体材料をチャネル領域に用いることができる。

【0031】以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されるものではない。上記実施形態では、チャネル領域にシリコンよりもエネルギーバンドギャップが広い半導体材料としてGaPを用いたが、GaAs、InP、AlGaAs等のIII-V族化合物半導体やZnSe、ZnTe、CdTe等の

6

II-VI族化合物半導体、さらにはSiC等のIV-IV族半導体を用いることも可能である。

【0032】また、上記実施形態では、溝底部にGaP膜を成膜する方法として選択成長を用いたが、これ以外にも、全面にGaP膜を成膜した後、エッチングガスとしてHCl/H₂混合ガスを用いてGaP膜をエッチバックする方法を用いることも可能である。

【0033】また、上記実施形態では、ゲート絶縁膜としてTa₂O₅膜を用いたが、シリコン酸化膜、シリコン窒化膜或いはシリコン窒化酸化膜等、さらにはBSTO膜等の高誘電率膜を用いてもよい。

【0034】さらに、上記実施形態では、ゲート電極としてAlを用いたが、Cu、Ag、Au等を用いてもよい。また、Al膜(或いはCu、Ag、Au等)の下層に(Ti、W、Ta、Moもしくはこれらの合金、或いはこれら単体金属もしくは合金の窒化物もしくは炭化物を積層したものを用いてもよい。さらに、低抵抗ゲート電極材料として、テクネチウム(Tc)、レニウム(Ru)、ルテニウム(Ru)、オスミウム(Os)、ロジウム(Rh)、イリジウム(Ir)、パラジウム(Pd)、白金(Pt)、インジウム(In)、スズ(Sn)もしくはこれらの合金を用いることができ、さらにはこれら単体金属もしくは合金の酸化物を用いることもできる。その他、本発明はその趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0035】

【発明の効果】本発明によれば、チャネル領域をシリコンよりも広いエネルギーバンドギャップを有する半導体材料によって構成することにより、ホットエレクトロン耐性及びサブスレショルド特性に優れたMIS型トランジスタを実現することが可能となる。また、ソース・ドレイン領域に導入した不純物に対する高温活性化処理を行った後にチャネル領域を形成するため、シリコンよりも広いエネルギーバンドギャップを有する半導体材料として低融点半導体材料をチャネル領域に用いることができ、不純物分布の精度を高めることも可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るMIS型トランジスタの製造工程の一部を示した製造工程断面図。

【図2】本発明の実施形態に係るMIS型トランジスタの製造工程の一部を示した製造工程断面図。

【図3】本発明の実施形態に係るMIS型トランジスタの製造工程の一部を示した製造工程断面図。

【図4】本発明の実施形態を説明するためのエネルギーバンド図。

【図5】各種半導体材料のエネルギーバンドギャップ及び電子親和力を示した図。

【符号の説明】

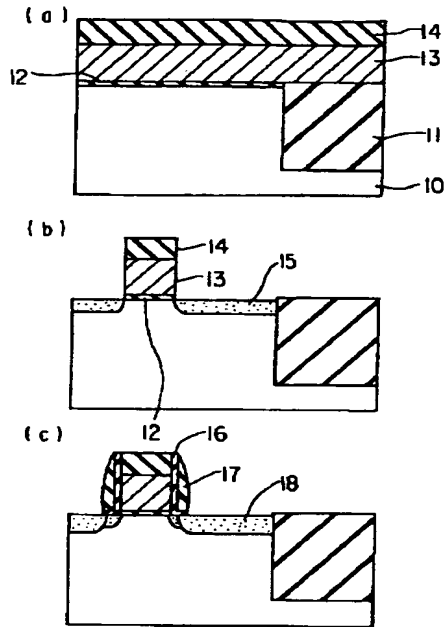
10…シリコン基板

11…素子分離

7

- 12…絶縁膜
13…多結晶シリコン膜
14、17…シリコン窒化膜
15、18…ソース・ドレイン拡散層
16…シリコン酸化膜

【図1】



- 10 シリコン基板 11 素子分離 12 絶縁膜
13 多結晶シリコン膜 14 シリコン窒化膜
15、18 ソース・ドレイン拡散層
16 シリコン酸化膜 17 シリコン窒化膜

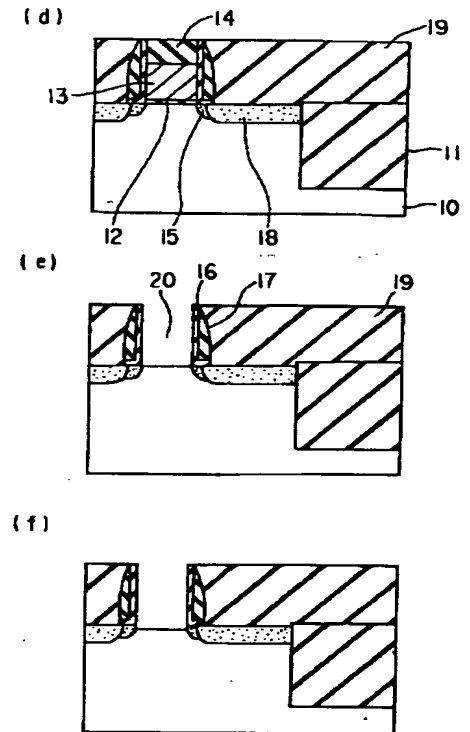
【図5】

物質	エネルギーバンド ギャップ [eV]	電子親和力 [eV]
Si	1.11	4.01
GaP	2.25	4.30
SiC	2.20	3.47
AlAs	2.15	2.62
AlSb	1.60	3.65
GaAs	1.43	4.07
InP	1.27	4.38
ZnSe	2.67	4.90
ZnTe	2.26	3.50
CdTe	1.44	4.28

8

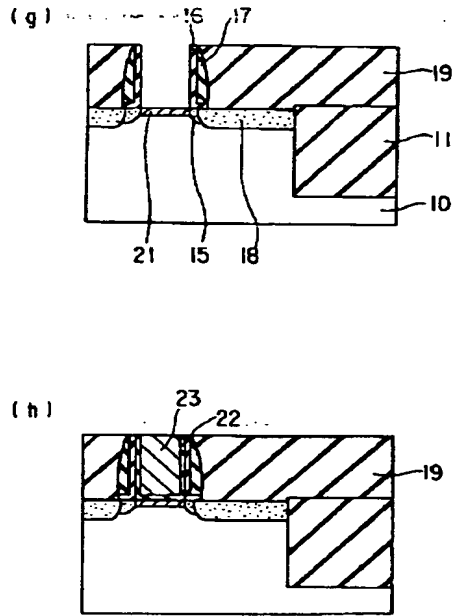
- * 19…層間絶縁膜
20…溝部
21…GaP膜
22…ゲート絶縁膜
* 23…ゲート電極

【図2】



- 19 層間絶縁膜 20 溝部

【図3】



21 GaP膜 22 ゲート絶縁膜 23 ゲート電極

【図4】

